

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-68564

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月4日

H 01 L 27/092
21/76

L 9169-4M
S 9169-4M
A 7735-4M

27/08
29/784

3 3 1

7735-4M H 01 L 27/08
8422-4M 29/78

3 2 1 A
3 0 1 R

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体装置の製法

⑯ 特 願 平2-182068

⑰ 出 願 平2(1990)7月10日

⑱ 発 明 者 佐々木 正義 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

半導体基体に、それぞれ回路素子形成部となる第1導電型領域及び第2導電型領域を有し、素子分離用トレンチが設けられて成る半導体装置の製法において、

上記半導体基体上記素子分離用トレンチを形成する工程と、

該トレンチ内に絶縁材を充填する工程と、

その後上記第1導電型領域と第2導電型領域とを所定部に形成するためのウェル領域形成の不純物のイオン注入を行うイオン注入工程とを経ることを特徴とする半導体装置の製法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製法、特に共通の半導体基体に、nチャンネル電界効果トランジスタ(n MOS-FET)とpチャンネル電界効果ト

ランジスタ(p MOS-FET)とを有する例えばいわゆるC-MOSが形成された半導体装置の製法に係わる。

〔発明の概要〕

本発明は半導体装置の製法において、半導体基体に、それぞれ回路素子形成部となる第1導電型領域及び第2導電型領域を有し、素子分離用トレンチが設けられて成る半導体装置の製法において、この半導体基体に素子分離用トレンチを形成し、このトレンチ内に絶縁材を充填した後、第1導電型領域と第2導電型領域とを所定部に形成するためのウェル領域形成の不純物のイオン注入を行うイオン注入工程とを経ることによって、製造方法の簡易化、特に製造工程数の減少化をはかる。

〔従来の技術〕

従来、第4図にその製造工程図を示すように、例えばC-MOSを有する半導体集積回路を製造する場合、先ず第4図Aに示すように、p型また

はn型の高比抵抗半導体より成る半導体基体(1)例えばSi基体を用意し、その表面に後述するマークを形成するための材料層(22)を、例えば基体(1)の表面熱酸化によって形成する。

次に材料層(22)に対して、第4図Bに示すように、フォトリソグラフィを用いたR I E (反応性イオンエッチング)によるパターンエッチングを行って、所定位置に所定形状のターゲット(23)を形成し、このマーク形成のフォトリソグラフィで用いたフォトレジストを除去し、その後このターゲット(23)を目印として、例えばp型ウェルとn型ウェルとをそれぞれ形成して、各ウェルによるp型領域(24)とn型領域(25)とを形成する。これら各領域(24)及び(25)、即ち各ウェル領域の形成は、ターゲットを目印に先ず例えばp型ウェルを形成するためのp型不純物のイオン注入作業を行い、次に他方のn型ウェルを形成するためのn型不純物のイオン注入作業を行う。その後これら注入不純物の活性化と拡散の熱処理を行って、各p型及びn型ウェル領域によるp型領域(24)及びn

型領域(25)を形成する。

その後ターゲット(23)を目印に、所定位置例えば各領域(24)及び(25)間、更に各領域(24)及び(25)内の所定部にトレンチ(30)をフォトリソグラフィを用いたR I Eによって形成する。このトレンチ(30)の形成は、例えば第4図Cに示すように、熱酸化によりSiO₂層(26)を例えば1000Åの厚さに全面的に形成して後、これの上に1500Åの厚さに多結晶シリコン層(27)を形成し、フォトレジスト(28)を全面的に塗布し、これを露光現像して、トレンチ形成部に窓(30)を穿設する。

そして、第4図Dに示すように、R I Eによって深さ例えば5000Åにトレンチ(30)を形成した後、各トレンチ(30)の内面から、pチャンネルストップ領域及びnチャンネルストップ領域形成のための各p型及びn型の不純物のイオン注入を行う。

その後第4図Eに示すように、トレンチ(30)内を含んで熱酸化等によりSiO₂膜(32)を形成した後、トレンチ(30)内を含んで全面的にSiO₂等より成る絶縁材(33A)を例えばC V D (化学的気相成長)

法によって形成する。

その後、第4図Fに示すように、R I E等の異方性エッチングによるエッチバックを行って、素子分離層(33)を形成した後、SiO₂層(26)及び多結晶シリコン層(27)を除去する。

次に第4図Gに示すように、パンチスルー防止のために、p型及びn型領域(24)及び(25)にそれぞれp型及びn型不純物の比較的深いイオン注入を行って、更にV_{th}調整用の比較的浅いイオン注入を行って両p型及びn型不純物導入領域(34)及び(35)を形成する。

上述したように、通常一般のトレンチ素子分離型の半導体装置では、トレンチ形成前にp型領域(24)及びn型領域(25)を構成する各ウェル領域を形成するものであり、この場合は各領域(24)及び(25)を形成して後に、トレンチ(30)の形成を行うことから、その位置合わせのための目印即ちターゲット(23)を必要とし、これを形成するための第4図Aで説明したような煩雑な作業を必要とする。

また、上述の方法による場合、各MOS形成部

の領域(24)及び(25)に対する閾値電圧V_{th}の調整のためのイオン注入及びパンチスルー防止のイオン注入の工程が、ウェル形成のイオン注入工程とは別工程で行われることから、その作業工程数が多くなるという問題点がある。

尚、従来のトレンチ分離によらず、深い熱酸化により絶縁層を形成してこれを分離絶縁層いわゆるLOCOSとする半導体装置の製法が広く用いられている。この場合は第5図Aに示すように、例えば基体(1)上にSiO₂層(51)を介してSiN層(52)が形成された酸化マスク層(53)を用いて、これをマスクとしてイオン注入を行ってチャンネルストップとウェル形成のための不純物注入を行い、その後第5図Bに示すように、マスク層(53)をマスクとして熱酸化を行って分離絶縁層(54)を形成する方法がある。

この場合は、上述したターゲットを形成する必要がないという利点を有するが、この場合分離絶縁層(54)を形成する際の、長時間の熱酸化によって注入不純物拡散が大となる。このようにして形

成されたチャンネルストップ領域は素子形成部に大きく入り込むことになって、MOS-FETの狭チャンネル効果が大となるという問題がある。

これに対し、第6図に示すように、分離絶縁層(54)を形成した後、この分離絶縁層(54)を貫通するイオン注入を行ってチャンネルストッパーを形成し、かつ各ウェル領域を形成する方法が考えられるが、この場合分離絶縁層(54)下ではチャンネルストッパー特性を満足し、かつMOS-FET形成部の特性を満足する濃度分布を得るようにイオン注入を行うことが必要となり、このようなイオン注入条件の設定は難しく、再現性良く形成することが難しいという問題がある。

〔発明が解決しようとする課題〕

本発明による半導体装置の製法は、上述した問題を解決して、素子分離層形成工程の簡易化をばかり、目的とする特性の半導体装置を再現性よく確実に得ることができるようにする。

絶縁層(8A)を埋込んでこれをエッチバックして素子分離層(8)を形成し、その後各導電型領域(10)及び(11)を形成するウェル領域形成のイオン注入を行うので、ウェル領域の形成に当っては、トレンチ(4)を目印に即ちターゲットとして、所定位置に形成することができる。従って、従来のように各ウェル領域形成のためのターゲットを特別に形成する必要がない。またこのウェル領域形成をトレンチ形成後に行うので、このイオン注入工程時に、このイオン注入マスクと同一マスクを用いて、例えばパンチスルー防止及びVth調整用のイオン注入を行うことができるので、工程数を減少させ、作業の簡易化を計ることができる。

またイオン注入を行った後にはLOCOS形成等の長時間の熱酸化工程がないため、不純物の拡散を抑制することができ、チャンネルストップ領域の素子形成部への入り込みを抑制でき、MOS-FETの狭チャンネル効果を抑制することができる。

〔実施例〕

〔課題を解決するための手段〕

本発明による半導体装置の製法の一例の工程図を第1図A～Hに示す。

本発明は、半導体基体(1)に、それぞれ回路素子形成部となる第1導電型領域及び第2導電型領域を有し、素子分離用トレンチが設けられて成る半導体装置の製法において、第1図Aに示すようにこの半導体基体(1)に素子分離用トレンチ(4)を形成する工程と、第1図Cに示すように、このトレンチ(4)内に絶縁材(8A)を充填する工程と、その後第1図F及びGに示すように、第1導電型領域(10)と第2導電型領域(11)とを所定部に形成するためのウェル領域形成の不純物のイオン注入を行うイオン注入工程とを経る。

〔作用〕

上述したように、本発明による半導体装置の製法によれば、半導体基体(1)に素子分離用トレンチ(4)を形成した後、各導電型チャンネルストッパー層(5)及び(6)を形成し、その後各トレンチ(4)内に絶

以下、本発明半導体装置の製法の一例の製造工程を第1図A～Hを参照して詳細に説明する。

先ず第1図Aに示すように、p型またはn型の高比抵抗半導体より成る半導体基体(1)例えばSi基体を用意し、その表面の所定部に素子分離用トレンチ(4)をフォトリソグラフィを用いたRIEによって形成する。このトレンチ(4)の形成は、例えば熱酸化によりSiO₂等より成る絶縁層(2)を例えば1000Åの厚さに全面的に形成した後、これの上に1500Åの厚さに多結晶半導体層(3)を形成する。そしてこの上にフォトレジストを全面的に塗布し、これを露光現像してフォトレジストパターンを形成し、このフォトレジストパターンをマスクとして多結晶半導体層(3)、絶縁層(2)及び基体(1)をRIE等の異方性エッチングによって所定の深さ例えば5000Åの深さにトレンチ(4)を形成する。

次に、各トレンチ(4)の内面から、pチャンネルストップ領域及びnチャンネルストップ領域形成のための各p型及びn型の不純物のイオン注入を行う。この場合第1図Bに示すように、先ず第2

導電型例えばn型領域をフォトリソ(5R)を形成した後、このフォトリソ(5R)と多結晶半導体層(3)、絶縁層(2)とをマスクとしてトレンチ(4)内に選択的に、第1導電型例えばp型のボロンB等の不純物をイオン注入して第1導電型チャンネルストッパー層(5)を形成する。

その後p型領域上を同様にフォトリソで覆ってこのフォトリソと多結晶半導体層(3)及び絶縁層(2)とをマスクとして、トレンチ(4)内に選択的にひ素As等のn型不純物をイオン注入して、第1図Cに示すように、第2導電型チャンネルストッパー層(6)を形成する。そしてトレンチ(4)内を含んで熱酸化して SiO_2 等より成る薄い酸化膜(7)を全面的に形成した後、 SiO_2 等より成る絶縁材(8A)をトレンチ(4)内を含んで全面的に例えばCVD法によって形成する。

次に第1図Dに示すように、異方性RIE等によるエッチバックを行って、素子分離層(8)を形成する。

その後第1図Eに示すように、多結晶半導体層

(1)のピークの位置する深さがそれぞれ第2導電型例えばn型ウェル領域(11)、パンチスルー防止のためのイオン注入層(11A)、 V_{th} 調整用イオン注入層(11B)の深さに相当するようにイオン注入の条件を設定した高加速イオン注入法によって不純物のイオン注入を行う。

その後第1図Hに示すように、全面的に熱酸化等によってゲート酸化膜(12)を形成した後、各素子分離領域に例えば多結晶Si層より成るゲート電極(13)を所定のパターンに形成して、このゲート電極(13)及び素子分離層(8)をマスクとして、低濃度にそれぞれp型及びn型不純物を注入して低濃度ソース/ドレイン領域(14)を形成し、更に例えば SiO_2 等より成る絶縁層を全面的に形成した後エッチバックを施してゲート電極(13)の側面にサイドウォール(15)を形成する。そしてこのサイドウォール(15)及びゲート電極(13)、素子分離層(8)をマスクとして、各p型及びn型の不純物を高濃度に注入してソース/ドレイン領域(16)を形成し、各導電型領域にそれぞれ逆導電型チャンネルのM

(3)及び絶縁層(2)を除去した後、全面的に熱酸化等により、薄い酸化膜より成る犠牲酸化膜(9)を形成する。

次に第1図Fに示すように、先ず例えばn型ウェル形成領域上にフォトリソ(10R)を形成した後このフォトリソ(10R)をマスクとしてB等のp型不純物のイオン注入作業を行う。このとき、第2図にpMOS-FETの不純物濃度分布を示すように、各a~cのピークの位置する深さがそれぞれ第1導電型例えばp型ウェル領域(10)、パンチスルー防止のためのイオン注入層(10A)、 V_{th} 調整用イオン注入層(10B)の深さに相当するように、イオン注入の条件を設定した高加速イオン注入法によって不純物のイオン注入を行う。

次に第1図Gに示すように、フォトリソ(10R)を除去した後p型ウェル領域(10)上にフォトリソ(11R)を形成して、このフォトリソ(11R)をマスクとしてAs等のn型不純物のイオン注入作業を行う。このとき、第3図にnMOS-FETの不純物濃度分布を示すように、各d~

OSを形成して、例えば多数のCMOSを構成する半導体装置(18)を得る。

尚、上述した例においては、高比抵抗半導体基体即ちSi基体(1)上に各導電型領域を形成する場合について述べたが、その他n型半導体基体上にp型ウェルを形成することによって両導電型の領域を形成する場合等、種々の構成による半導体装置に適用することができる。

〔発明の効果〕

上述したように、本発明による半導体装置の製法によれば、半導体基体(1)に素子分離用トレンチ(4)を形成した後、各導電型チャンネルストッパー(5)及び(6)を形成し、その後各トレンチ(4)内に絶縁層(8A)を埋込んでこれをエッチバックして素子分離層(8)を形成し、その後各導電型領域(10)及び(11)を形成するウェル領域形成のイオン注入を行うので、ウェル領域の形成に当っては、トレンチ(4)を目印に即ちターゲットとして、所定位置に形成することができる。従って、従来のように各ウ

ウェル領域形成のためのターゲットを特別に形成する必要がなく、工程数を減少させることができる。

またこのウェル領域形成をトレンチ形成後に行うので、このイオン注入工程時に、このイオン注入マスクと同一マスクを用いて、例えばパンチスルー防止及びV_{th}調整用のイオン注入を行うことができるので、工程数を減少させ、作業の簡易化を計ることができる。

またイオン注入を行った後にはLOCOS形成等の長時間の熱酸化工程がないため、不純物の拡散を抑制することができ、チャンネルストップ領域の素子形成部への入り込みを抑制でき、MOS-FETの狭チャンネル効果を抑制することができる。

更に、第2図に示すように、例えばp型ウェル領域(10)中のp型不純物濃度を深い部分で高くするので、これによって或る場合は、トレンチ(4)底部でのチャンネルストップ拡散層の形成を省略することも可能となり、このようにするときは、より工程の簡略化をはかることができる。

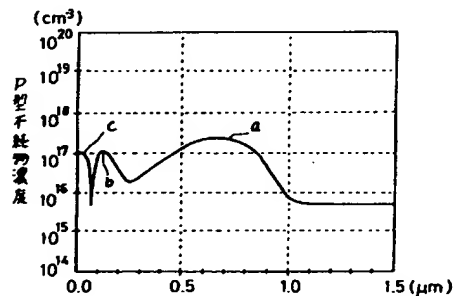
図面の簡単な説明

(27)は多結晶Si層、(28)はフォトレジスト、(29)は窓、(30)はトレンチ、(32)はSiO₂層、(33A)は絶縁材、(33)は素子分離層、(51)はSiO₂層、(52)はSiN層、(53)はマスク層、(54)は素子分離層である。

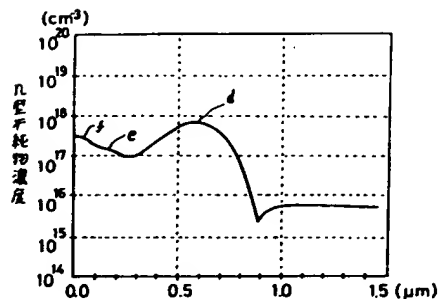
代理人 松隈秀盛

第1図A～Hは本発明による半導体装置の製法の一例を示す製造工程図、第2図はpMOS-FETの不純物濃度分布を示す図、第3図はnMOS-FETの不純物濃度分布を示す図、第4図A～Gは従来の半導体装置の製法の一例を示す製造工程図、第5図A及びBは従来の半導体装置の製法の他の例を示す製造工程図、第6図は従来の半導体装置の製法の他の例を示す略線の断面図である。

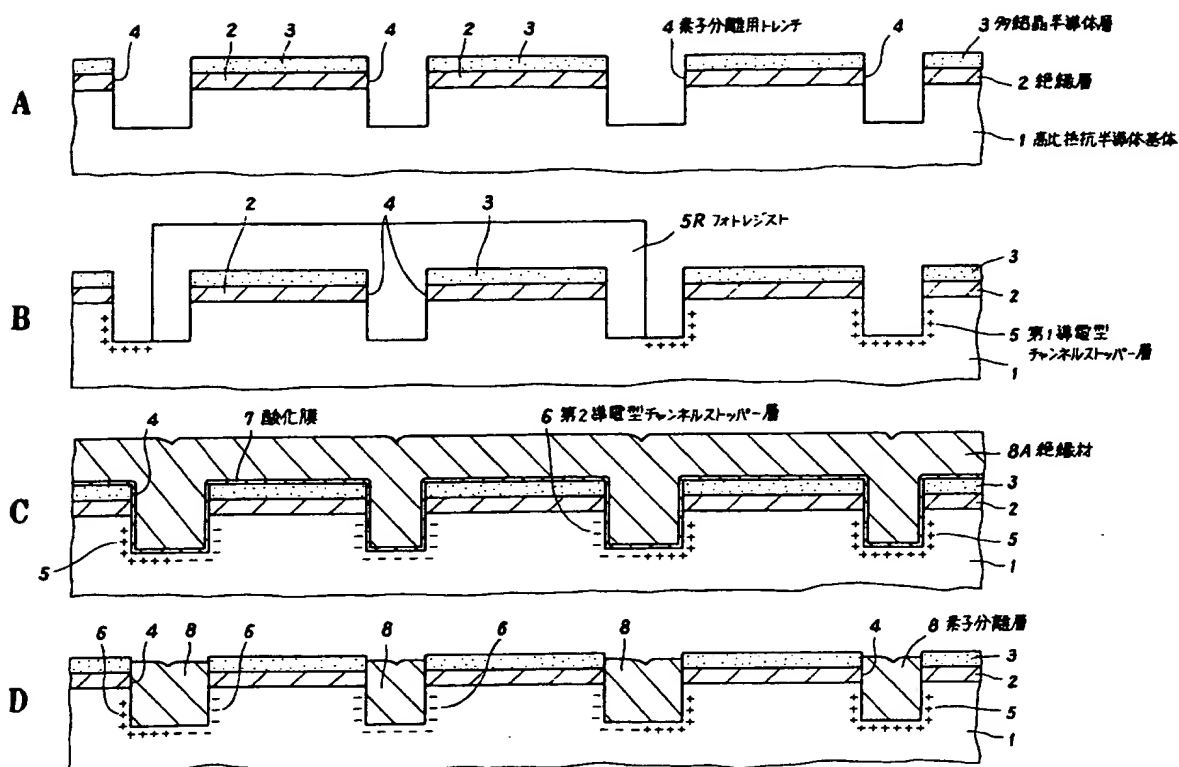
(1)は半導体基体、(2)は絶縁層、(3)は多結晶半導体層、(4)はトレンチ、(5)及び(6)は第1導電型及び第2導電型チャンネルストッパー層、(7)は酸化膜、(8A)は絶縁材、(8)は素子分離層、(9)は犠牲酸化膜、(10)は第1導電型領域、(10A)及び(10B)はイオン注入層、(11)は第2導電型領域、(11A)及び(11B)はイオン注入層、(10R)及び(11R)はフォトレジスト、(12)はゲート酸化膜、(13)はゲート電極、(14)は低濃度ソース/ドレイン領域、(15)はサイドウォール、(16)はソース/ドレイン領域、(18)は半導体装置、(22)は材料層、(23)はターゲット、(24)はp型領域、(25)はn型領域、(26)はSiO₂層、



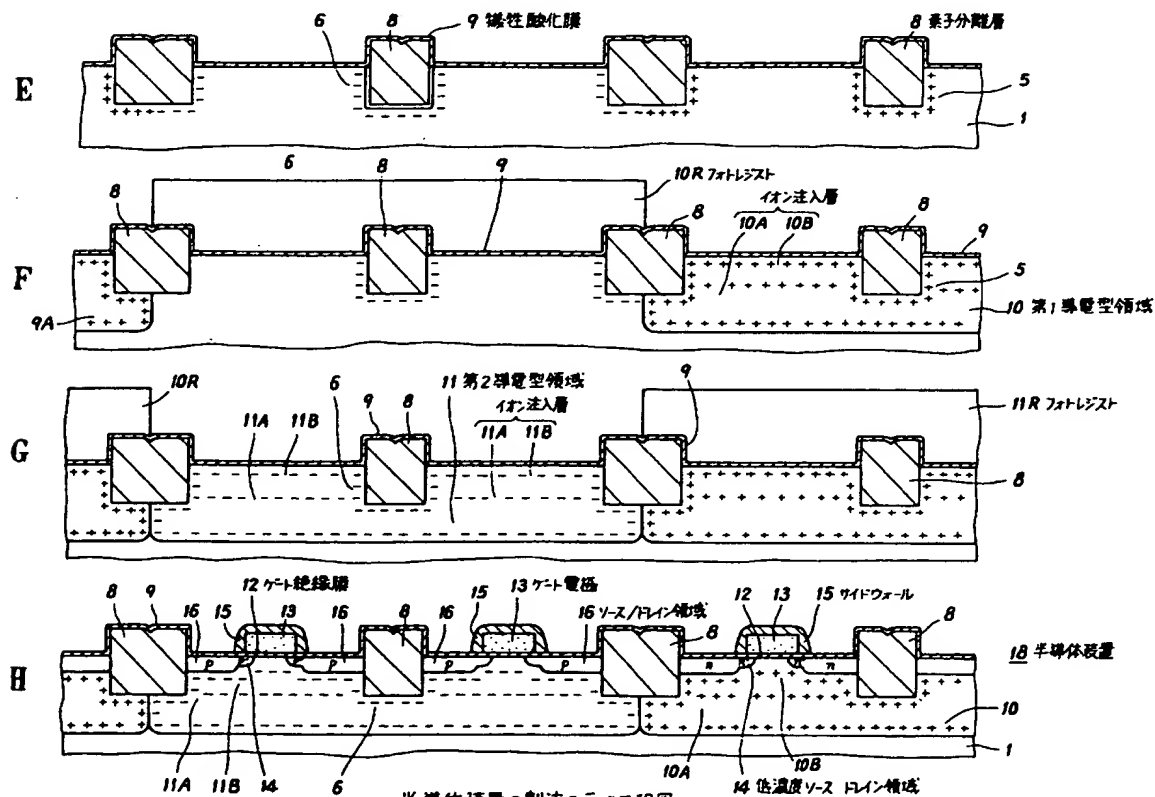
pMOS-FETの不純物濃度分布を示す図
第2図



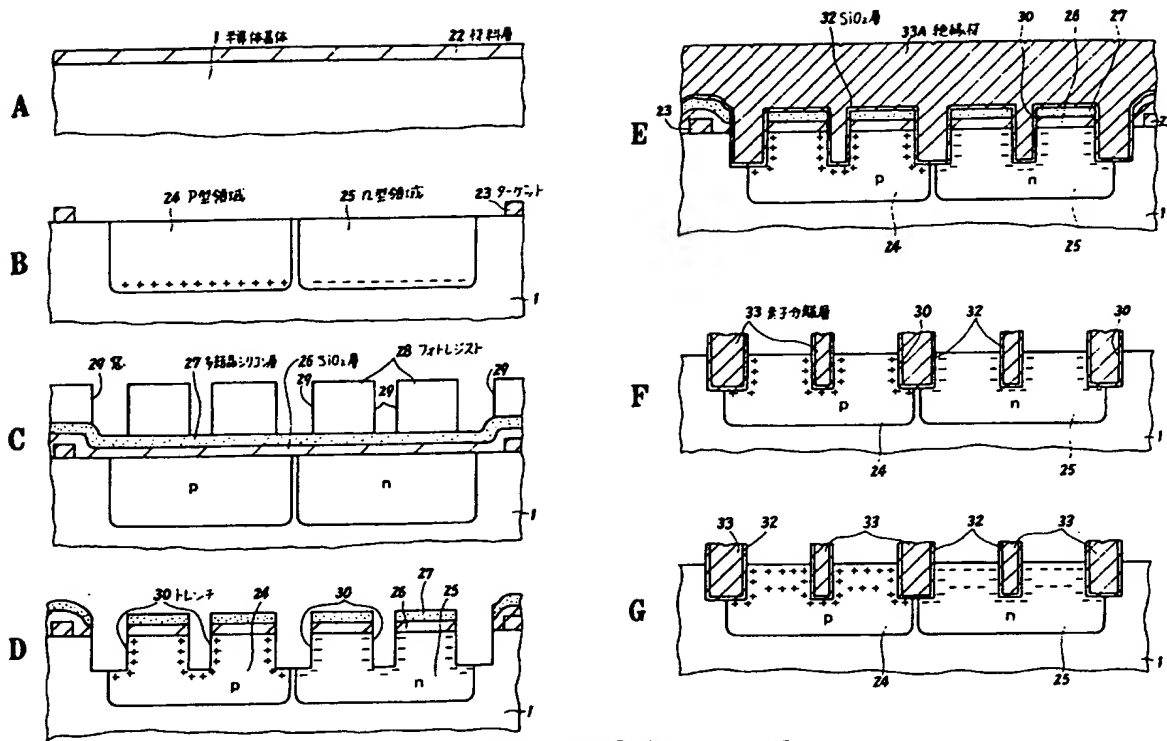
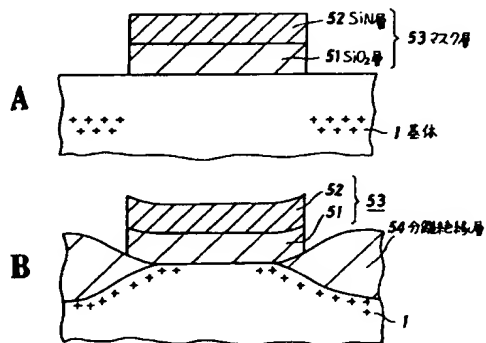
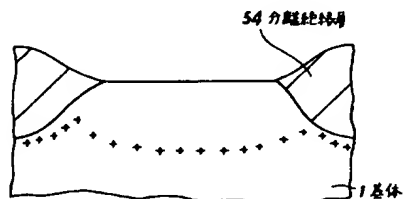
nMOS-FETの不純物濃度分布を示す図
第3図



半導体装置の製法を示す工程図
第1図 (その1)



半導体装置の製法を示す工程図
第1図 (その2)


従来の半導体装置の製造法を示す工程図
第4図

従来の半導体装置の製造法を示す工程図
第5図

従来の半導体装置の製造法を示す断面図
第6図